

LA POLITÉCNICA DE VALENCIA PATENTA MEJORAS EN PROCESADORES

Fuente: UPV

El Grupo de Arquitecturas Paralelas (GAP) de la UPV y una compañía multinacional especializada en procesadores están en proceso de patentar sus últimas investigaciones que tratan de mejorar las comunicaciones internas en la siguiente generación de procesadores.

Los procesadores cada vez son más potentes y rápidos al poder ubicar en ellos más transistores. Cada dos años el número de transistores se ha venido duplicando. Gracias a esto, el mundo de la tecnología ha vivido una continua revolución en miniaturización, funcionalidad y eficiencia. Sin embargo, con esta integración también han surgido problemas como la disipación de calor que generan y el consumo excesivo de energía.

Para mantener la continua mejora en prestaciones de los procesadores, la solución adoptada por la comunidad científica y por las grandes compañías de fabricación de procesadores (entre ellas Intel y AMD) radica en la fabricación de chips con múltiples procesadores sencillos (denominados núcleos) conectados a través de una red de interconexión dentro del mismo chip. Así, soluciones de 4 núcleos ya se encuentran disponibles en el mercado de los procesadores comerciales. Como precursor de los chips con más núcleos, Intel ha desarrollado recientemente el chip Polaris con 80 núcleos.

Ahora bien, todos estos núcleos tienen que comunicarse entre sí y con el exterior. Por tanto, este cambio en la metodología de diseño de los procesadores está llevando a invertir grandes esfuerzos en investigación y desarrollo en el campo de las redes de interconexión dentro del chip (denominadas Networks-on-Chip o NoCs) para reducir los tiempos de transmisión de información, explica el investigador de la Politécnica José Flich.

El proyecto liderado por el profesor José Duato en colaboración con AMD facilita la gestión de los recursos de la red NoC y se titula "Técnicas eficientes de transferencia de información para procesadores multinúcleo". Consiste,

en definitiva, en unas nuevas técnicas de encaminamiento eficientes, esto es, unos mecanismos que gestionan las rutas que los mensajes deben seguir cuando circulan por la red dentro del chip. Dichas técnicas desarrolladas por el GAP resultan muy potentes, rápidas y versátiles. Además, soportan fallos de fabricación y fallos transitorios, los nuevos desafíos surgidos a partir del aumento en la escala de integración.

La técnica, denominada LBDR (logic-based distributed routing) y su posterior extensión a mensajes broadcast (bLBDR), permite el diseño de redes en chip altamente flexibles y eficientes, requieren de un área de silicio pequeño y minimizan además el consumo energético del chip. José Flich comenta al respecto: "Según los expertos de la indus-

tria, por sus elevadas prestaciones, es predecible que las técnicas que hemos desarrollado tengan un impacto elevado en el diseño de los futuros chips multinúcleo, especialmente cuando el número de núcleos aumente, y por tanto, las prestaciones de las comunicaciones dentro del chip, la tolerancia a fallos y la particionabilidad se erijan como elementos críticos de diseño".

El Grupo de Arquitecturas Paralelas (GAP) investiga y evalúa computadores paralelos con el objetivo de alcanzar comunicaciones de elevadas prestaciones en las redes de interconexión, así como obtener nuevas técnicas arquitectónicas que reduzcan la latencia de comunicación en sistemas multiprocesador, multicomputadores, y redes de estaciones de trabajo o clusters. ■