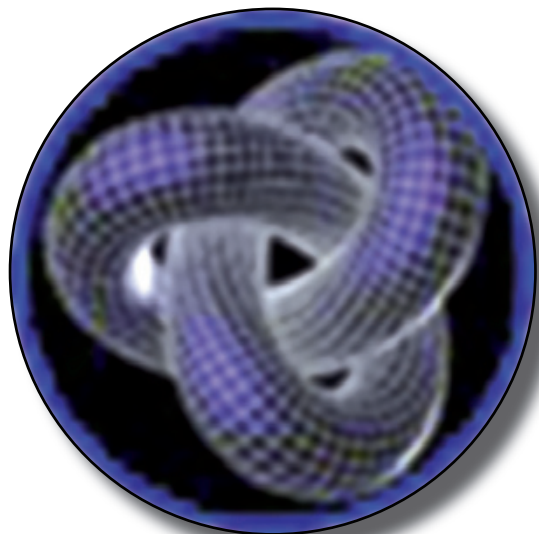


Diseño de un convertidor matricial con control integrado



Julen Revenga-González* Ingeniero de Telecomunicación
 Jon Andreu-Larrañaga* Dr. Ingeniero en Automática y Electrónica Industrial
 Enekoitz Ormaetxea-Gardoqui* Ingeniero de Telecomunicación
 Unai Bidarte-Peraita* Dr. Ingeniero de Telecomunicación
 Pedro Ibáñez-Ereño** Dr. Ingeniero Industrial

* Universidad del País Vasco (UPV/EHU, DET) _Departamento de Electrónica y Telecomunicaciones.
 julenrevenga@gmail.com; jon.andreu@ehu.es; enekoitz.ormaezea@ehu.es; unai.bidarte@ehu.es

** Tecnalia, Unidad de Energía. pedro@robotiker.es

Recibido: 03/09/09 • Aceptado: 30/10/09

Design of a matrix power converter with integrated control

ABSTRACT

• The matrix topology in AC/AC power converters presents several interesting advantages compared to other topologies, such as the decrease of the price, the size and the weight. However, despite these advantages, several technological barriers must be suppressed to find it interesting for an industrial production. Some of these causes are related to the complexity and the speed needed by those converters for the computational algorithm modulation; others are related directly to the complexity of the additional protection strategies required. This article presents a solution based on an FPGA (Field Programmable Gate Array) that helps to solve these problems and describes how to provide a cost-effective solution that will allow the industrial market of the Matrix Power Converters in the future.

• **Key words:** Matrix Converter (MC), Double Sided Space Vector Modulation (DS-SVM), FPGA (Field Programmable Gate Array), SoC (System on chip), Hardware Core, AC/AC.

RESUMEN

La topología matricial en los convertidores de potencia AC/AC presenta una serie de ventajas interesantes: entre ellas destacan la disminución de precio, peso y tamaño con respecto a otras topologías. Sin embargo, a pesar de éstas, existen numerosas causas por las que este tipo de convertidores aún no se han producido a escala industrial. Algunas de estas causas se relacionan con la complejidad y la carga computacional del algoritmo de modulación que han de ejecutar los convertidores matriciales (CM), otras se relacionan directamente con la complejidad de las tareas de protección adicionales que requiere. En este artículo, se describe una solución en base a una FPGA (*Field Programmable Gate Array*) que permite abordar esta problemática y describe la forma en la que proporcionar una solución eficaz y económica que permita, en un futuro, la comercialización industrial de los CM.

Palabras clave: Convertidor Matricial (CM), Modulación de vectores espaciales de doble banda,

matriz de puertas programable, sistema embebido, bloque hardware, CA/CA.

1. INTRODUCCIÓN

Los convertidores de potencia con topología matricial (CM) realizan una conversión AC/AC directa. Su novedosa estructura presenta un gran interés científico. Sus principales características son:

- a. Se trata de un convertidor AC/AC [7] directo compuesto por una matriz de $n \times m$ interruptores bidireccionales (para n fases de entrada y m de salida). Esta estructura se puede observar en la Figura 1.
- b. Debido a la ausencia de grandes elementos reactivos [12], su arquitectura está basada íntegramente en silicio (*all-silicon*). En este convertidor no se utiliza ningún elemento de almacenamiento de energía, como sucede en el condensador del bus DC de otras topologías, como las *back-to-back*. Este hecho supone una gran ventaja, puesto que los elementos reactivos, además de grandes y pesados,

- son muy sensibles a los cambios de temperatura y considerablemente caros.
- El CM puede operar en ambientes de alta y baja presión y en zonas de altas temperaturas. Esta característica se ve notablemente condicionada en otras topologías, en las que los elementos reactivos imponen una serie de limitaciones.
 - Las señales sintetizadas son de gran calidad. Para ello se requiere implementar de forma adecuada un mecanismo de modulación eficiente [8].
 - Utiliza un mayor número de semiconductores que otras topologías. Esto supone un ligero incremento en el precio del convertidor, aunque también es cierto que la distribución del estrés térmico es más uniforme por todo el convertidor, lo que le ayuda a mantener su rendimiento frente a cambios de temperatura.

- La protección de este convertidor resulta dificultosa, dada la ausencia de elementos reactivos grandes que puedan mitigar efectos nocivos en la red (huecos y picos de tensión).

2. MATERIAL Y MÉTODOS

El grupo de investigación en electrónica aplicada APERT [1] de la *Escuela Técnica Superior de Ingeniería de Bilbao*, en colaboración con la unidad de energía del centro tecnológico *Robotiker-Tecnalia*, ha diseñado un prototipo de CM innovador de 7,5 kW (Figura 10), cuya arquitectura se muestra en la Figura 2. Este convertidor AC/AC trifásico [7] consta de las siguientes etapas.

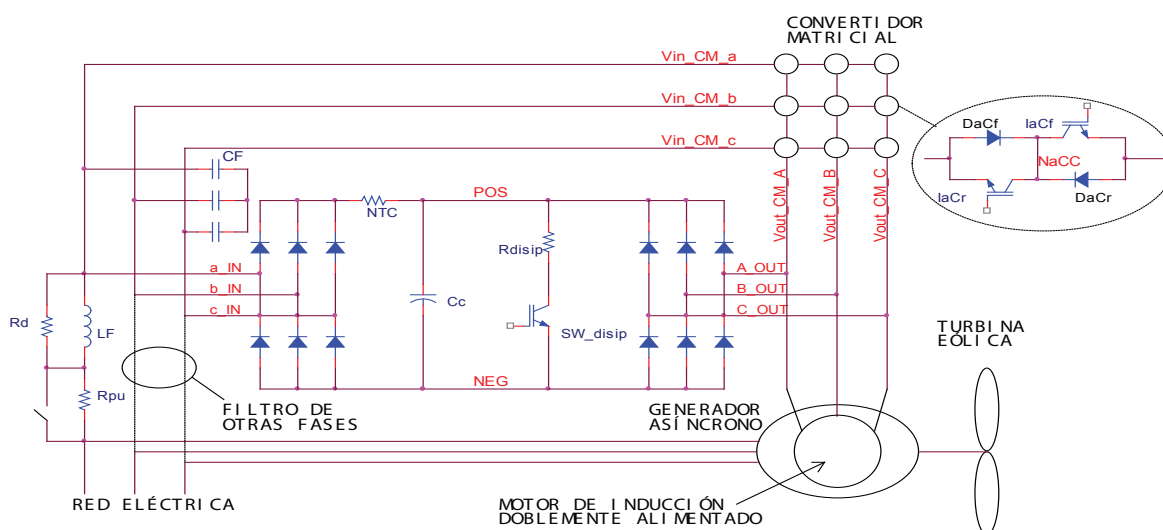


Figura 1: Topología básica de un Convertidor Matricial (CM)

- Las técnicas de conmutación “semisuave” en 4 pasos [2], permiten trabajar a altas frecuencias de modulación, incrementando, de esta manera, la calidad de onda de salida. Por otro lado, trabajando a altas frecuencias de modulación, permite aumentar la frecuencia de los armónicos generados. Cuanto mayor es la frecuencia de dichos armónicos, menos nocivos son sus efectos para la red.

Los CM son una topología muy prometedora en aplicaciones de electrónica de potencia. No obstante, a día de hoy no se trata de una topología lo suficientemente madura como para acaparar un nicho de mercado. Para llegar a este objetivo debe superar algunas de las siguientes barreras:

- Las técnicas de modulación y conmutación son realmente complejas y requieren un alto nivel de carga computacional.
- Ratio de transferencia de tensión limitado a 0,866.

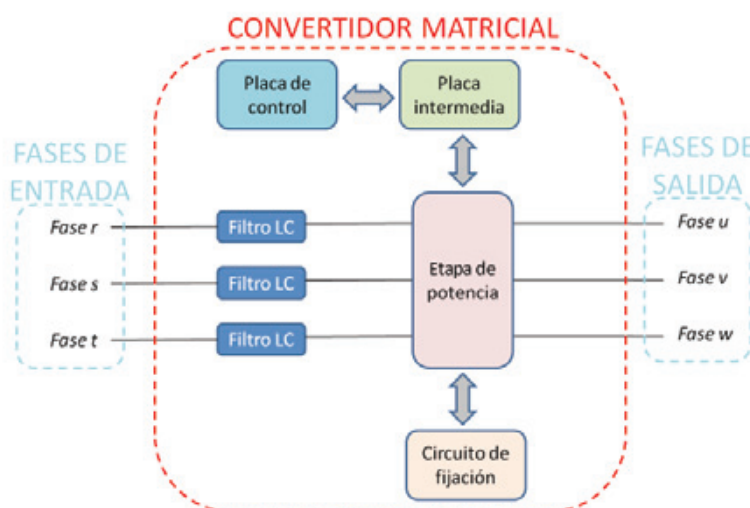


Figura 2: Estructura del Convertidor Matricial de 7,5 kW

- a. **Etapas de potencia:** esta etapa se constituye por la placa de potencia, dos puentes de diodos, 6 sensores de tensión y un módulo integrado de potencia formado por 18 IGBTs y 18 diodos FRD. La placa de potencia se compone de 6 fuentes aisladas, 6 sensores de corriente y un sensor de temperatura. Su función consiste en polarizar los elementos semiconductores del módulo integrado de la etapa de potencia, acorde a las órdenes recibidas del control del convertidor. Gracias a ello, es posible efectuar correctamente las conmutaciones que definen la forma de onda de salida. Los puentes de diodos, por su parte, ejecutan diversas tareas de protección. Por último, los sensores de tensión, aunque externos al PCB, operan de igual manera a los de corriente. Esto es, midiendo la corriente y/o tensión tanto de las fases de entrada, como de salida del CM, para permitir llevar a cabo distintos algoritmos de modulación vectorial [8] y protección del convertidor.
- b. **Etapas de control:** se constituye únicamente de una placa que contiene una FPGA (*Field Programmable Gate Array*) y los elementos necesarios para que opere. Entre estos elementos, destacan los interfaces I/O de transmisión y/o recepción de señales con los diferentes órganos del CM. La inclusión de todo el sistema de gobierno del CM en un único dispositivo programable es una novedad en el control de este tipo de máquinas. Los convertidores convencionales suelen albergar al menos un DSP y una FPGA apoyados por un microcontrolador para cada una de sus etapas (rectificadora e inversora). En este caso, sin embargo, al quedar todo integrado en la propia FPGA [10], se reducen costes en la fabricación y mantenimiento del convertidor, además de reducir notablemente su consumo y permitir ejecutar los algoritmos de modulación y protección [5] a velocidades extremadamente elevadas. Todo esto es posible gracias a las familias de alta capacidad de Xilinx [13]. Para este caso en concreto, se ha empleado una FPGA xc4vfx12-10ff668, de la familia Virtex-IV. La frecuencia de trabajo es de 100 MHz.
- c. **Etapas intermedia de adaptación:** su función es actuar de interfaz de comunicaciones entre la parte de potencia del CM y su etapa de control. Para ello, se encarga de digitalizar las medidas obtenidas por los sensores de tensión, intensidad y temperatura, entregándoselas a la etapa de control. Por otro lado, las órdenes emitidas por la FPGA se adaptan a los niveles de tensión que necesita cada uno de los dispositivos físicos del CM.
- d. **Filtro de entrada:** el objetivo del filtro de entrada del CM es minimizar el impacto del convertidor en la red, limitando la emisión de armónicos a ésta. Esto pasa por reducir el rizado de la señal de entrada mediante un pequeño filtro LC. En paralelo a la inductancia se ha colocado una resistencia de amortiguamiento que reduce el pico de resonancia del filtro, mejorando el comportamiento de éste.
- e. **Circuito de fijación o “clamp circuit”:** la estructura básica

del CM no presenta caminos de libre circulación, ni elementos reactivos intermedios que puedan almacenar energía [12]. Esto hace que el convertidor no disponga de la capacidad suficiente para suavizar los efectos provocados por las perturbaciones de su entrada en la salida. Para que el convertidor pueda soportar los efectos de sobretensión provocados por esta circunstancia (sin desconexión), se incorpora el circuito de fijación, también conocido como “*clamp circuit*” (formado por dos puentes de diodos y un *crowbar*), [5] y [6]. La incorporación de este circuito cobra aún más sentido cuando se dispone de una carga inductiva a la salida y se produce un apagado repentino del convertidor. En este caso, debido a la falta de caminos de libre circulación, la energía magnética almacenada en la carga es absorbida por el circuito de fijación cuando el CM es abierto repentinamente.

En la Figura 3 se muestra el CM diseñado. En la parte central destaca la presencia de un disipador acompañado de un ventilador. En este disipador se han atornillado el módulo de potencia que integra los semiconductores que realizan la conmutación (IGBTs). También destaca la presencia de una resistencia de potencia perteneciente al *crowbar*, suspendida del eje central de la plataforma.

El sistema de control del CM, como se ha comentado, se integra en su totalidad en una FPGA [10]. Este dispositivo no atiende únicamente a las características de precio y consumo deseadas, sino que permite dar solución a la complejidad que supone gobernar un convertidor con esta topología.

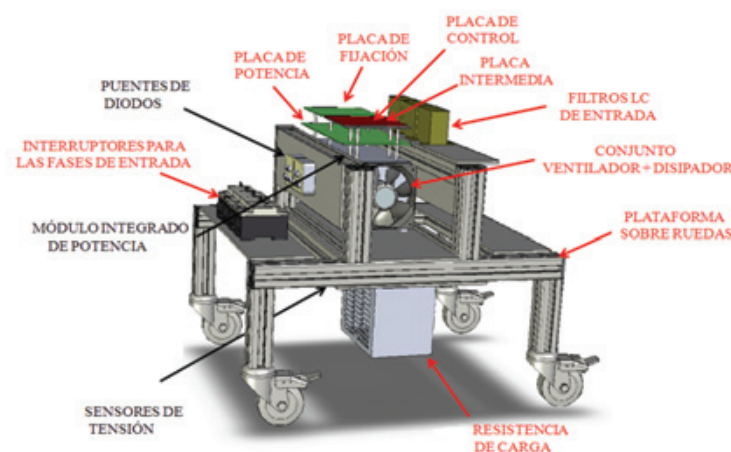


Figura 3: Prototipo de convertidor matricial (CM)

La ausencia de elementos reactivos, mencionada como una de las principales ventajas del CM es, precisamente, uno de los mayores inconvenientes que se producen en su control. Las inductancias y condensadores amortiguan los picos y/o huecos de red, es por eso que su ausencia hace al CM más vulnerable frente a estos. Esta carencia puede suplirse gracias a la gran capacidad computacional de las FPGAs actuales [10]. Éstas permiten la ejecución de múltiples operaciones en paralelo a gran velocidad (entorno a 100 MHz).

El sistema de control integrado en la *FPGA* consiste en un sistema modular basado en *cores*. Un *core* es un bloque *hardware* o *software* que realiza una tarea específica. Existen diferentes tipos de tareas, éstas se han agrupado en cuatro conjuntos independientes:

1. Transformación de sistemas de referencia: la operación de transformación de energía del *CM* es dependiente de la tensión y/o corriente existente en cada fase del convertidor. Estas magnitudes trifásicas son variables en el tiempo, lo que implica trabajar con un sistema tridimensional complejo. Con el objetivo de simplificar esta tarea y facilitar así la forma de efectuar las operaciones, se realiza una operación de transformación, conocida como transformada de *Clarke*. Ésta consiste en convertir diferentes magnitudes de entrada en un único vector variable a un marco de referencia estacionario, es decir, un plano definido por dos vectores ortogonales. Una vez realizado este cambio de base, como las tensiones y corrientes del sistema son variables de forma periódica, provocan que el vector calculado gire, en cada caso, a velocidad angular constante. La transformada de *Clarke* viene representada por medio de la matriz (2.1).

$$\begin{pmatrix} x_{a_{out}} \\ x_{b_{out}} \\ x_{c_{out}} \end{pmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{pmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{3}{\sqrt{2}} & -\frac{3}{\sqrt{2}} \end{pmatrix} \cdot \begin{pmatrix} x_{a_n} \\ x_{b_n} \\ x_{c_n} \end{pmatrix} \quad (2.1.)$$

Una vez efectuada esta operación de transformación, sería interesante conseguir que este vector se mantuviera fijo en una determinada posición, haciendo que en régimen permanente se tratase de un vector constante. Esto se consigue definiendo un sistema de referencia que gire entorno al plano vectorial definido por los dos vectores ortogonales anteriores a su misma velocidad de giro. Con ello, se consigue que el vector permanezca fijo con respecto a este nuevo sistema de referencia. La operación matemática que define dicha transformación se denomina *transformada de Park*. Ésta se define según la matriz (2.2).

$$\begin{pmatrix} x_d \\ x_q \\ x_0 \end{pmatrix} = \begin{pmatrix} \cos(\theta) & \sin(\theta) & 0 \\ -\sin(\theta) & \cos(\theta) & 0 \\ 0 & 0 & 1 \end{pmatrix} \cdot \begin{pmatrix} x_\alpha \\ x_\beta \\ x_0 \end{pmatrix} \quad (2.2.)$$

Este conjunto de operaciones vectoriales (transformadas directa e inversa de *Clarke* y *Park*) han de realizarse de forma paralela a la vez que se ejecutan otras tareas en el régimen de funcionamiento del convertidor. Es por eso que cada tarea se implementa en un *core* distinto.

2. Protección: el *CM*, como ya se ha comentado, es muy vulnerable a comportamientos inadecuados de la red. Sobretensiones, sobrecorrientes, huecos y/o picos de

tensión y cortocircuitos entre sus fases pueden provocar serios daños en el convertidor. En este caso, la *FPGA* empleada permite desarrollar *cores* que se encarguen de mejorar estos aspectos negativos de la topología matricial. Para ello, se han definido los *cores* de detección de sobretensión, sobrecorriente, huecos, estados prohibidos, etc. Los dos primeros, como su propio nombre indica, detectan y avisan al sistema central de procesamiento de la *FPGA* de evidencias de sobretensión y/o sobrecorriente. El *core* de detección de huecos advierte de la presencia de un hueco o pico de tensión. El primero de ellos describe una situación en la que se produce un decaimiento en la tensión de red, mientras que el segundo es un incremento impulsional de la misma magnitud.

3. Modulación y cambio del estado de conmutación: la técnica de modulación empleada para el gobierno del *CM* es el *Double-Sided Space Vector Modulation (DS-SVM)*, [3] y [8]. Su funcionamiento se basa en una secuencia de vectores que hacen conmutar los interruptores de la matriz de interconexión de las fases de entrada y salida del convertidor [9]. Con esta técnica se pueden llegar a conseguir señales de gran calidad. Sin embargo, esta topología tiene, por el momento, un inconveniente importante. Ésta es la carencia de elementos semiconductores bidireccionales que actúen como interruptores de la matriz de interconexión. Por ello, surge la necesidad de construir una estructura equivalente que permita desempeñar esta tarea. La estructura que se ha creado para ello se muestra en la Figura 4. Ésta se compone de dos diodos y dos *IGBTs*.

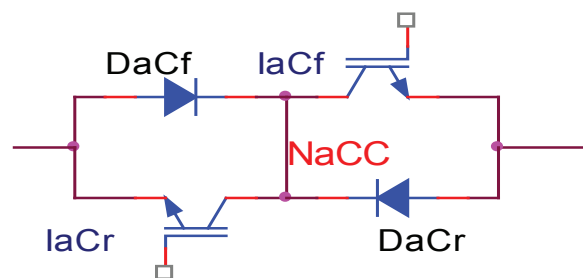


Figura 4: Conmutador bidireccional del *CM*

La estructura del conmutador creado permite el flujo de corriente en ambos sentidos. De izquierda a derecha por la rama superior de la Figura 4 y de derecha a izquierda por la rama inferior. Cuando uno de los conmutadores de la matriz de interconexión se encuentra activo, los dos *IGBTs* que lo constituyen deben encontrarse en conducción. Esto se debe a la capacidad de bidireccionalidad en la conducción del flujo de potencia que dispone el convertidor.

Sin embargo, al disponer de dos *IGBTs* unidireccionales, cuando se tiene que efectuar la conmutación para una misma fase de salida entre dos fases de entrada, surge un serio problema. Éste se debe al hecho de que resulta imposible hacer

Todo este procedimiento es necesario controlarlo y para ello se ha diseñado este conjunto de *cores*. La *FPGA* es, por tanto, gracias a su gran capacidad computacional, la encargada de controlar la modulación [4], vigilar el estado de los interruptores bidireccionales, establecer el procedimiento de conmutación en 4 pasos y activar el mecanismo de seguridad.

Tras esta descripción, en la Figura 5 se muestra un diagrama de bloques general simplificado que muestra la forma modular implementada en la *FPGA* para controlar el *CM*.

Se han realizado pruebas por separado de los distintos *cores* desarrollados, tras haber sido estos previamente simulados. Las pruebas han consistido en emular las diferentes condiciones que podrían darse en la red a la que se conectará en un futuro el *CM* y ver cómo responde ante tales circunstancias. Para ello, los materiales empleados han sido una fuente de laboratorio AC de California Instruments, un osciloscopio Tektronix de cuatro canales y sondas aisladas, fuentes de alimentación *DC*, un analizador lógico y diversas herramientas de laboratorio.

Otros *cores*, como son que ejecutan tareas de protección, no han hecho uso de tantos recursos lógicos. Sin embargo, su complejidad ha venido ocasionada por interactuar directamente con magnitudes físicas reales, tales como tensión y/o corriente. Éste es el caso de los *cores* de protección del *CM*.

En la Figura 6 se observa la respuesta del *core* de detección de sobretensión ante un estímulo variable en la tensión de entrada. En esta figura se han representado tres señales. La primera de ellas (azul) es una senoide generada mediante

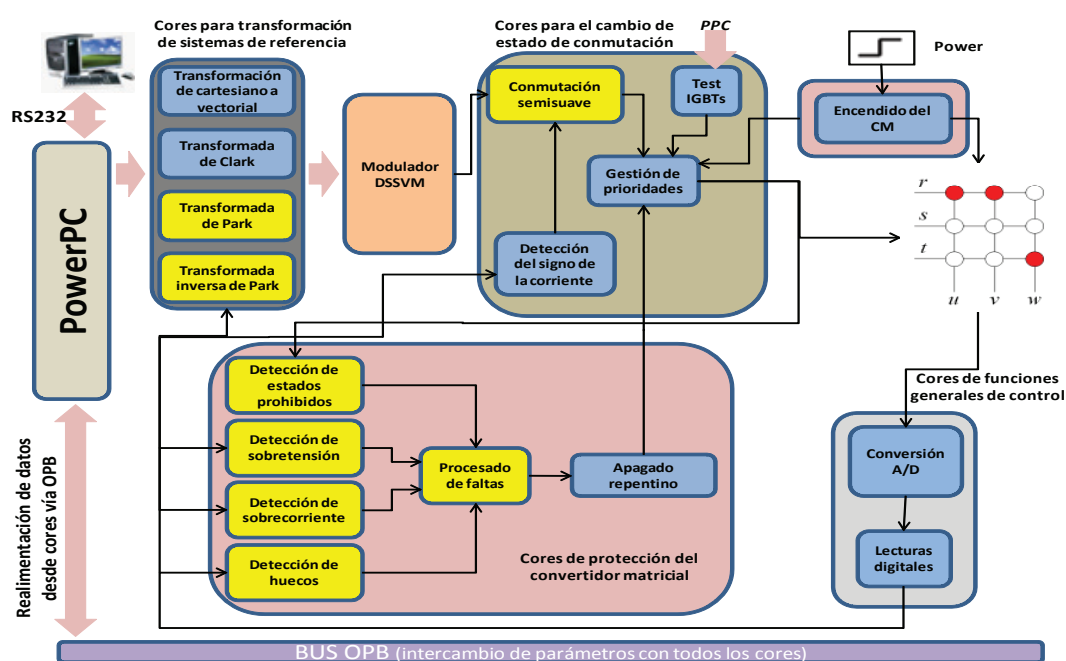


Figura 5: Diagrama de bloques simplificado implementado en la FPGA que gobierna el CM

fuente de alimentación AC de laboratorio. Se trata de una señal senoidal de 550 V de amplitud conectada a una de las fases de entrada del convertidor. Se han establecido dos umbrales: 450 V y 500 V. Si la amplitud de la señal senoidal de entrada sobrepasa el primero, se activa la señal de advertencia de peligro (verde) y, si se sobrepasa el segundo umbral, la señal que se activa es la de falta (magenta), que indica que la sobretensión es más grave. En el caso de la Figura 6 los estados marcados con 1, 5 y 9 son valores de tensión adecuados; 2, 4, 6 y 8 son advertencias de peligro y en 3 y 7 se han sobrepasado los límites permitidos para la tensión de entrada.

El *core* de detección de sobrecorriente tiene un comportamiento dual tensión/corriente.

Este ejemplo, aunque sencillo, permite describir la filosofía que conlleva a implementar el control del convertidor en una *FPGA*. En los convertidores tradicionales, los módulos de detección de sobretensión o sobrecorriente suelen diseñarse de forma *hardware*. Esto es, se dispone de módulos electrónicos específicos que realizan una tarea de comparación en base a un umbral y disparan una señal digital. Si se tiene en cuenta que se trata de un convertidor trifásico, sería necesario implementar 3 conjuntos de módulos de entrada y salida, tanto para tensiones como corrientes, lo que supone un total de 12 circuitos auxiliares de comparación. Si se desea disponer en cada magnitud de dos umbrales simultáneos para advertencias y faltas, esta acción se acaba traduciendo en 24 circuitos auxiliares.

Disponer de 24 circuitos auxiliares en un convertidor, además de los posibles errores de montaje y soldadura que pueden traer consigo, tienen el inconveniente de no poderse ajustar a las características de la máquina. No todas las máquinas tienen porqué establecer los mismos umbrales de sobretensión y/o sobrecorriente. Por ello, sería necesario poder ajustar de forma manual varios potenciómetros que regulasen los umbrales adecuados en cada caso.

Si se tiene cuenta que un proceso sencillo como puede ser el anterior, es una fuente de inconvenientes tan grande, llevar a cabo un proceso de producción industrial a gran escala trae consigo gastos muchísimo más elevados que implementar todo en una *FPGA*.

Todos estos procesos se implementan en diferentes conjuntos de celdas de la *FPGA*. Por lo que dispone de las mismas ventajas de paralelismo y velocidad que trae consigo la posible implementación *hardware* tradicional.

De esta forma tan sencilla se puede llevar a cabo el control que habilita o deshabilita el *crowbar* del convertidor, sin necesidad de molestar al resto del sistema de control, pudiéndose encargar así éste de los algoritmos de modulación y transformación de sistemas de referencia.

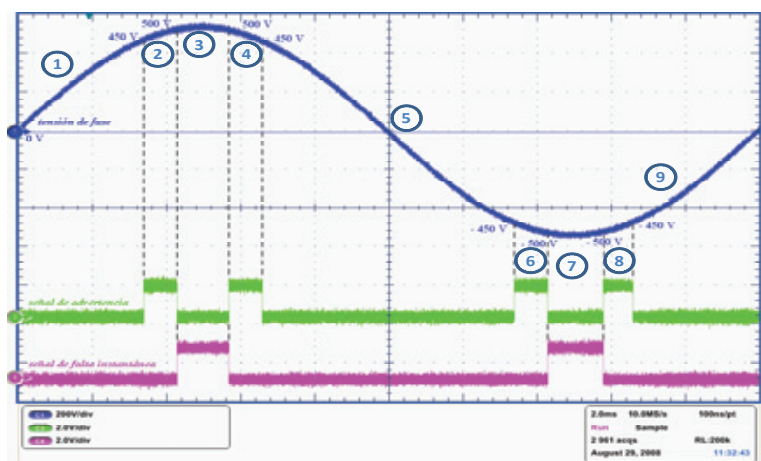


Figura 6: Core de detección de sobretensión

Otro de los *cores* validado en el laboratorio ha sido el *core* de detección de huecos de tensión. Éste permite la detección de tanto huecos, como picos de tensión. Un pico de tensión tiene un comportamiento más impulsional: esto es, un crecimiento y posterior decrecimiento brusco de la tensión de red en un muy corto periodo de tiempo. Un hueco, sin embargo, puede ser corto, pero también más prolongado. La complejidad estriba en detectar picos o huecos de tensión de muy corta duración. Las pruebas efectuadas sobre el *CM* permiten detectar huecos y/o picos de duraciones del orden de 5 μ s.

En la Figura 7 se puede observar una imagen similar a la Figura 6. Se tiene una señal senoidal de entrada (azul) en la que se han introducido de forma voluntaria diferentes sobreimpulsos en la tensión, con diferentes duraciones y magnitudes. Más abajo, de forma similar a como se ha explicado para el *core* de detección de sobretensión, se tienen las señales de advertencia de peligro y falta. Éstas se activan dependiendo del impulso del hueco y/o pico que detectan. La magnitud viene determinada por el incremento o decremento de tensión en un espacio muy corto de tiempo. Cabe destacar el hecho, de que únicamente se muestra el análisis para una de las fases de entrada. Este proceso, de forma análoga a como sucede en los *cores* de protección anteriores, se realiza para todas las fases de entrada y salida del convertidor.

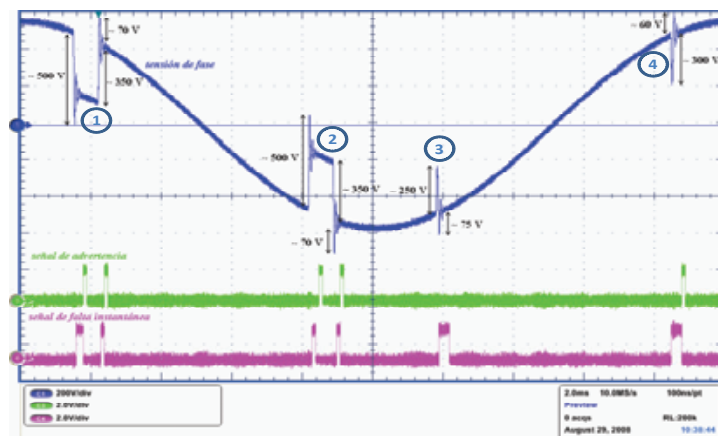


Figura 7: Core de detección de huecos

Como ya se ha comentado en el apartado anterior del artículo, la ausencia de semiconductores bidireccionales ha provocado la necesidad de utilizar la estructura de la Figura 4 para emular un interruptor bidireccional de la matriz de conmutación del convertidor. Dado que no se puede asegurar que la conmutación de encendido y apagado de las dos parejas de *IGBTs* se haga de forma exactamente simultánea, se ha definido el proceso de conmutación semisuve en cuatro pasos [2].

La calidad de la forma de onda que presente el convertidor a la salida dependerá en gran medida de la velocidad con la que puedan conmutar las parejas de *IGBTs*

que constituyen la estructura de la Figura 4. En la Figura 8 se muestra un ejemplo de este proceso. En ésta se tiene inicialmente activo el interruptor bA (segunda fase de entrada unida con primera fase de salida en la Figura 1), se desactiva éste y se activa el interruptor aA (primera fase de entrada unida con primera fase de salida).

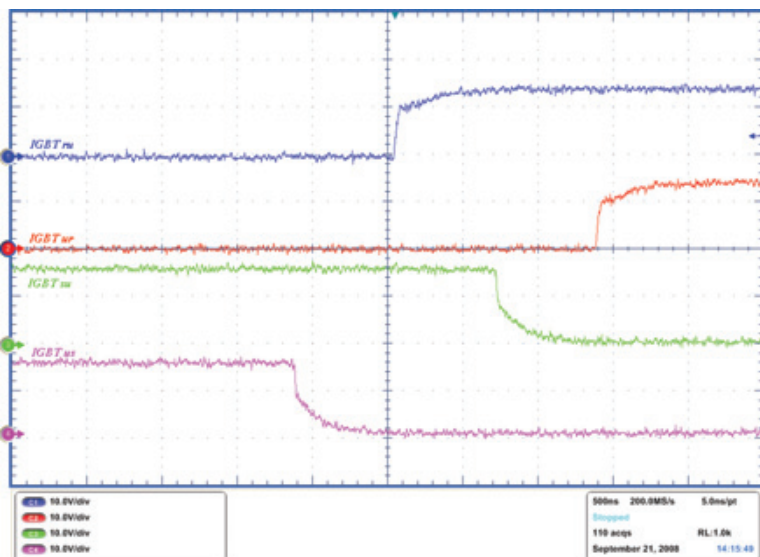


Figura 8: Core de conmutación semisuave

El mejor tiempo conseguido entre pasos, limitado por la velocidad de conmutación de los IGBTs, ha sido de 160 ns. Multiplicando éste por los tres periodos que supone, se tiene que la conmutación puede hacerse en 480 ns aproximadamente.

Existen otra serie de *cores* que también han sido validados en el laboratorio, pero que - a diferencia de estos anteriores - su ejecución no se traduce en responder ante una excitación de entrada por sí mismos. Por eso, su validación se ha hecho en base a señales luminosas de la tarjeta de control y también con ayuda de la línea serie de la *FPGA* conectada a un *PC*.

Con todo esto, en la Figura 9 se muestra la forma de onda de la tensión de salida fase-neutro modulada por el convertidor matricial.

La Figura 10 muestra una imagen del prototipo montado.

4. DISCUSIÓN

Los beneficios técnicos del *CM* presentado en este artículo se abordan desde dos puntos de vista diferentes: por un lado, el hecho de diseñar un convertidor con topología matricial y, por otro, el implementar su sistema de control al completo en un único dispositivo integrado, concretamente una *FPGA*.

Los beneficios técnicos que ofrece el convertidor con topología matricial diseñado son:

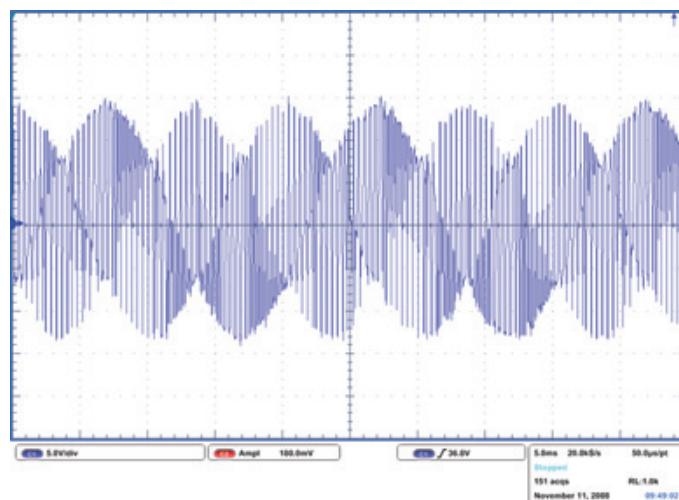


Figura 9: Tensión de salida modulada fase-neutro



Figura 10: Prototipo de CM de 7,5 kW montado

- Mejora de la interacción con la red, realizando una conversión *AC/AC* (etapa de generación alterna y red eléctrica de alterna) de alta eficiencia y a alta frecuencia de conmutación.
- Flujo de potencia bidireccional, que supone que, además de usar este tipo de convertidor para aplicaciones de energía eólica (para las que ha sido originalmente concebido), se pueda usar en otro tipo de sistemas, como por ejemplo los de tracción.
- Reducido tamaño. La ausencia de etapas intermedias, debidas a la supresión de elementos reactivos en las mismas, hace disminuir considerablemente el tamaño del convertidor, haciéndolo mucho más ligero y manejable que otros.
- No existen elementos intermedios que almacenen energía (bobinas, condensadores), lo que, además de eliminar una de las principales fuentes de fallo en dispositivos

electrónicos de potencia, permite una mayor variedad de usos.

En segundo lugar, los beneficios técnicos que aporta el *CM* diseñado, giran en torno a su sistema de control integrado (*SoC: System on chip*) en una *FPGA*, [10] y [11]. El diseño del control es modular, compuesto por la estructura de *cores* descritos. Los *cores* pueden ser tanto *software*, como *hardware*, ya que pueden hacer uso de microprocesadores, buses, memorias, controladores de comunicaciones, periféricos, etc. Todas estas características se traducen en una serie de ventajas importantes:

- a) No es necesario utilizar una combinación de varios *DSPs* y *FPGAs* e incluso algún microcontrolador, sino que es suficiente con emplear una única *FPGA*.
- b) Reducción de la superficie de silicio, abaratando el coste y el tamaño de los recursos de control, suponiendo además un descenso significativo del consumo.
- c) Ejecución de aplicaciones en paralelo.
- d) Incremento del rendimiento logrando una mayor eficiencia de recursos, lo que se traduce en un aumento significativo de la velocidad de procesamiento de datos.
- e) Disponibilidad de bloques y funciones prediseñados.
- f) Posibilidad de reconfiguración.

En este contexto y, debido sobre todo a la naturaleza reconfigurable de los *SoC* [11], las *FPGAs* logran solventar algunas de las mayores desventajas de los circuitos *ASIC* (*Application Specific Integrated Circuit*) tradicionales: ausencia de flexibilidad, gran coste y elevado tiempo de desarrollo, destacando así en una posición privilegiada para ser incluido en nuestro diseño.

Todas estas ventajas técnicas suponen, a su vez, unas interesantes ventajas económicas y de interés social. La ausencia de elementos reactivos hace que se reduzca considerablemente el precio del convertidor. Por otro lado, una vez validado y probado el diseño y, tras llevarse a un proceso productivo en cadena, la sociedad en general podrá beneficiarse de un convertidor que permita mejorar considerablemente las topologías de convertidor actuales, impulsando la instauración definitiva de las energías renovables.

AGRADECIMIENTOS

El éxito del trabajo que describe este artículo se debe a la labor de los miembros del grupo de investigación en electrónica aplicada *APERT* [1] de la Escuela Técnica Superior de Ingeniería de Bilbao, así como a la Unidad de Energía del centro tecnológico Robotiker-Tecnalia, que ha participado aportando medios técnicos y económicos fundamentales en esta tarea de investigación. A todos vosotros, muchas gracias por vuestra ayuda.

6. BIBLIOGRAFÍA

- [1] Grupo de investigación en electrónica aplicada *APERT* (Applied Electronics Research Team). Bilbao (España), UPV-EHU. <http://det.bi.ehu.es/~apert>.
- [2] Andreu J, Kortabarria I, Gabiola I, Ceballos S. "Estados de conmutación semisuave en el convertidor matricial". Seminario anual de Automática, Electrónica Industrial e Instrumentación (SAAEI). 2005. p.100 – 105
- [3] Andreu J, Martínez I, Martín J, Ceballos S, Gabiola I. "Matrix converter double sided space vector modulation: a fast way to synthesize via S-Function". IEEE International Symposium on Industrial Electronics (ISIE). 2006. p.779-784
- [4] Andreu J, Bidarte U, Martín J, Astarloa A, Jiménez J. "FPGA solution for system-level validation of matrix converter space vector modulation algorithm". WSEAS Transactions on Power Systems. 2006. Vol.1 p.1747-1753
- [5] Andreu J, Martínez I, Kortabarria I, Bidarte U, Ceballos S. "Matrix converter protection: active and passive strategy considerations". WSEAS Transactions on Power Systems. 2006. Vol.1-10 p.1698-1706
- [6] Andreu J, de Diego J, Martínez I, Kortabarria I, Martín J, Ceballos S. "Sequencing of supplies of the matrix converter: improvement of the start-up and MC interaction with the filter and clamp circuit". IET International Conference on Power Electronics, Machines and Drives (PEMD). 2008. p.154-158
- [7] Alesina A, Venturini M. "Analysis and design of optimum amplitude nine switch direct AC/AC converters". IEEE Transactions on Power Electronics. 1989. Vol.4 p.101-112
- [8] Klumpner C, Boldea I, Blaaberg F, Nielsen P. "A new modulator for matrix converters with input current ripple reduction". Optimization of Electrical and Electronic Equipment (OPTIM). 2000. Vol.2 p.487-492
- [9] Empringham L, Wheeler P, Clare J. "Intelligent commutation of matrix converter bi-directional switch cells using novel gate drive techniques". IEEE Power Electronic Specialists Conference (PESC). 1998. Vol.1 p707-713
- [10] Joost R, Solomon R. "Advantages of FPGA-based multiprocessor systems in industrial applications". Thirty-First Annual Conference of the IEEE Industrial Electronics Society. 2005.
- [11] G. Martin and H. C. (Eds.). "Winning the SoC Revolution: Experiences in Real Design". Massachusetts, USA: Kluwer Academic Publishers, 2003.
- [12] Venturini M. "A new sine wave in, sine wave out conversion technique eliminates reactive elements". International Conference on Power System Technology (POWERCON). 1980. Vol.E3 p1-15
- [13] Xilinx Corp.: Xilinx Homepage: <http://www.xilinx.com>